

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 陈淏睿**

**学 号： U201612696**

**班 级： 校交1601**

**指 导 教 师： 徐有青**

**计算机科学与技术学院**

**2018 年 5 月 24 日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1“私有”的先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器的设计方案**

表1-1为一位二进制半加器真值表。

表1-1 一位二进制半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | 输出 | |
| A | B | C | S |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

由表可知，S=/AB+A/B=A⊕B, C=AB。据此可在Logisim中设计一位二进制半加器的逻辑电路。

图1-2为一位二进制半加器.

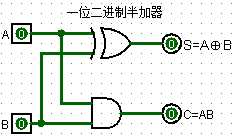


图1-2 一位二进制半加器

**（2）一位二进制全加器的设计方案**

表1-2为一位二进制全加器真值表。

表1-2 一位二进制全加器真值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | |
| C1 | A | B | | S | C0 |
| 0 | 0 | 0 | | 0 | 0 |
| 0 | 0 | 1 | | 1 | 0 |
| 0 | 1 | 0 | | 1 | 0 |
| 0 | 1 | 1 | | 0 | 1 |
| 1 | 0 | 0 | | 1 | 0 |
| 1 | 0 | 1 | | 0 | 1 |
| 1 | 1 | 0 | | 0 | 1 |
| 1 | 1 | 1 | | 1 | 1 |

由表可知，C0=AB+C1(A⊕B),S=A⊕B⊕C1,据此可在Logisim中设计一位二进制半加器的逻辑电路。

图1-3为一位二进制全加器。

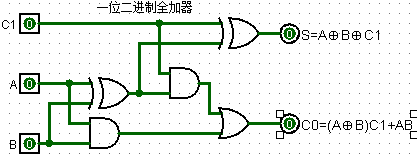


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器的设计方案**

在串行进位的四位二进制并行加法器中，对每一位而言都使用了上一问中的一位二进制全加器，其中A,B来自两算子的对应位，C1来自低一位的进位，S对应本位的结果，C0作为高位的低位进位。故将四个一位二进制全加器串联即可。

图1-4为串行进位的四位二进制并行加法器,利用了一位二进制全加器的封装电路。

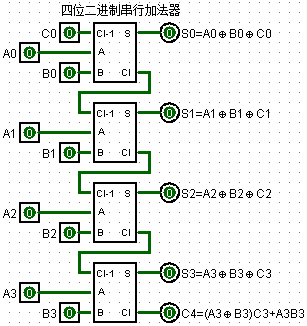


图1-4串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器的设计方案**

在先行进位的四位二进制并行加法器中，每一位的S与Ci均为输入A3A2A1A0,B3B2B1B0与最低位的C0的函数，与其上一位的进位Ci-1无关，即各个位的进位相互独立。

S1=P1⊕C0 S2=P2⊕(P1C0+G1) S3=P3⊕(P2P1C0+P2G1+G2)

S4=P4⊕(P3P2P1C0+P3P2G1+P3G2+G3)

C4=P4P3P2P1C0+P4P3P2G1+P4P3G2+P4G3+G4

图1-5为先行进位的四位二进制并行加法器。

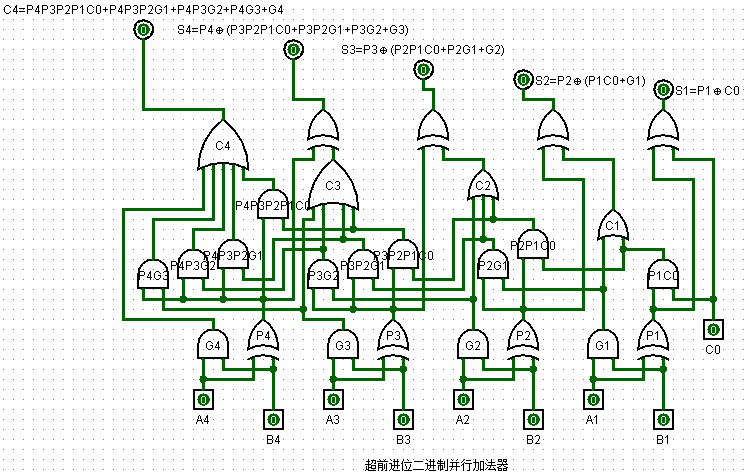
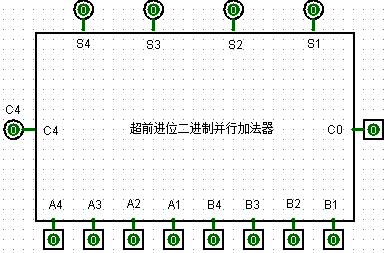


图1-5先行进位的四位二进制并行加法器

**（5）封装先行进位的四位二进制并行加法器电路**

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。





**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）设计一个四位二进制可逆计数器电路**

DA= /QA DB= /QB  DC= /QC  DD= /QD

CPa= /(CPU⊕CPD) CPb=/(CPD/QA+CPUQA)

CPc=/(CPD/QA/QB+CPUQAQB) CPd=/(CPD/QA/QB/QC+CPUQAQBQC)

图2-3为四位二进制可逆计数器电路。

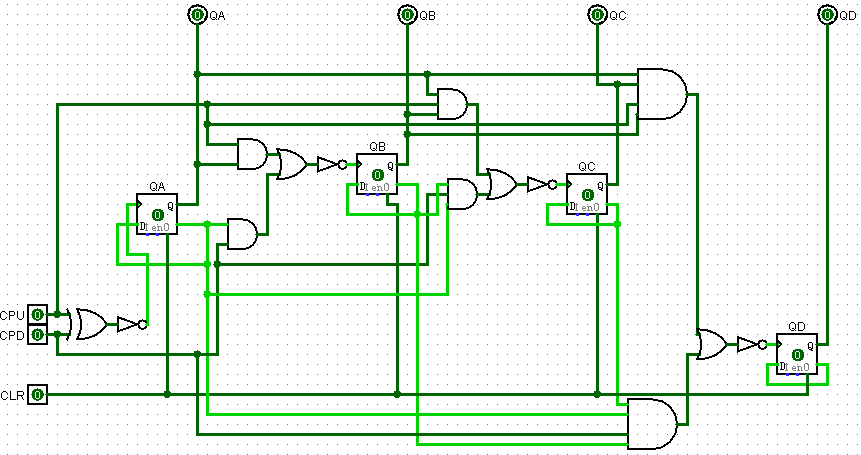


图2-3 一个四位二进制可逆计数器

**（2）用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**

H4=H3=H2=B3=B0=0; H1=C4; A3=S4; A2=S3; A1=S2; A0=S1

B2=B1=(S4S2+S4S3)

图2-4为一位十六进制数转2位8421码的电路。

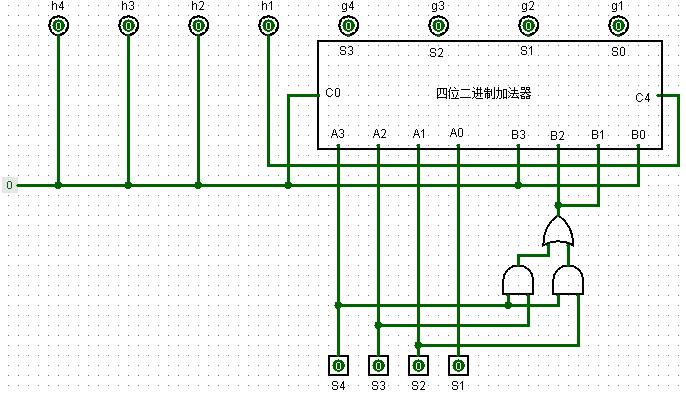
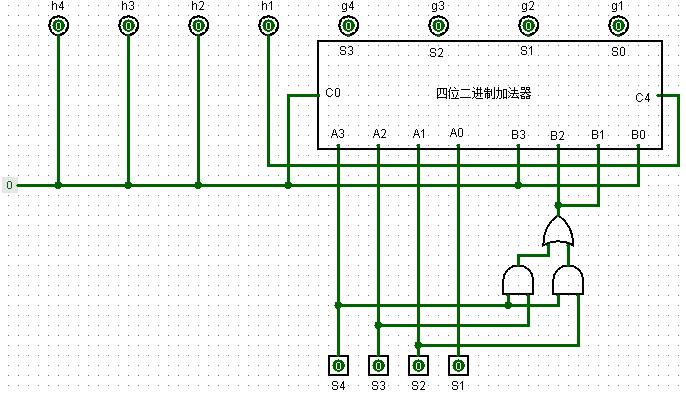


图2-4 一位16进制数转2位8421码

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

**（A）设计一个7段译码器**

a=/Q4Q2+/Q4Q3Q1+/Q3/Q2/Q1+Q4/Q3/Q2

b=/Q4/Q3+/Q3/Q2+/Q4/Q2/Q1+Q4Q2Q1

c=/Q3/Q2+/Q4Q1+/Q4Q3

d=/Q3/Q2/Q1+/Q4Q3/Q2Q1+/Q4/Q3Q2+/Q4Q2/Q1

e=/Q3/Q2/Q1+/Q4Q2/Q1

f=/Q3/Q2/Q1+Q4/Q3/Q2+/Q4Q3/Q2+/Q4Q3/Q1

g=/Q4/Q3/Q2+/Q4Q3/Q2+/Q4/Q3Q2+/Q4Q2/Q1

图2-5为7段译码器。

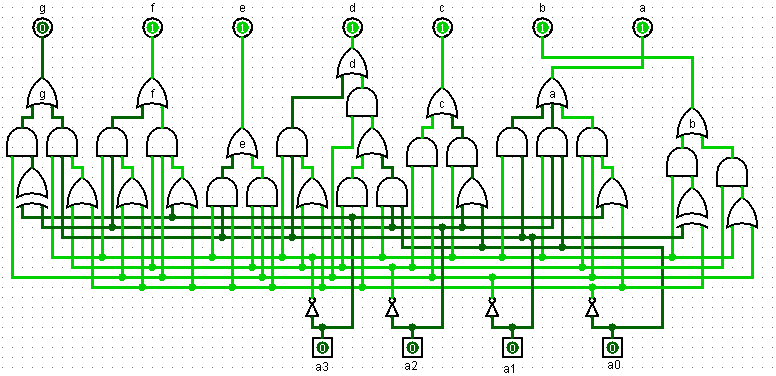


图2-5 7段译码器

**（B）设计用“7段数码显示管”显示人数的逻辑电路**

图2-6为用7段数码显示管显示实验室人数的电路。

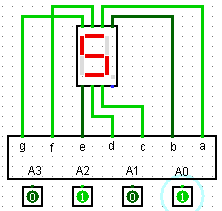


图2-6 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”库元件。

图2-7为报警电路。

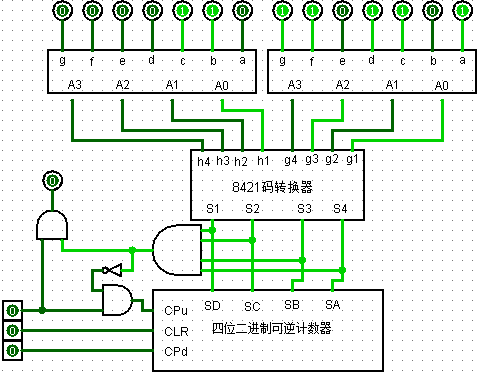


图2-7 报警电路

**（5）设计小型实验室门禁系统电路**

图2-8为门禁系统电路。

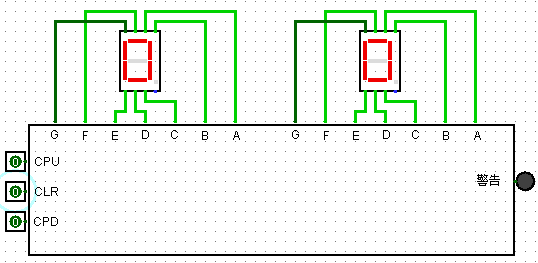


图2-8 门禁系统电路

6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

图2-9为一个四位二进制可逆计数器。

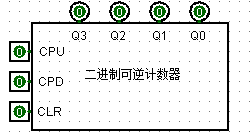


图2-9**一个四位二进制可逆计数器**

**（2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

图2-10为二进制数转换成8421BCD码的电路。



图2-10二进制数转换成8421BCD码的电路

**（3）给出采用“7段数码显示管”显示人数的电路**

图2-11为人数显示的电路。

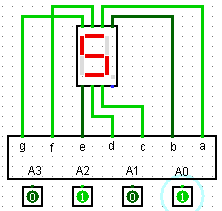


图2-11人数显示的电路

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

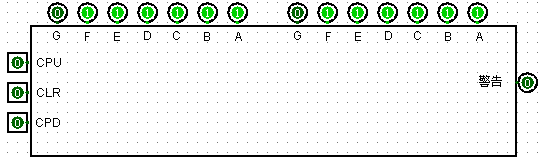


图2-12为系统报警电路

图2-12系统报警电路

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

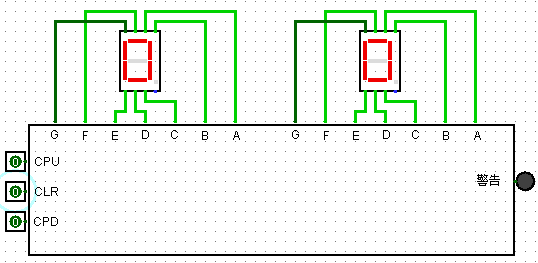


图2-x为实验室门禁系统电路

图2-13实验室门禁系统电路

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

我遇到的难点在于二进制可逆计数器的设计以及向8421BCD码转换中对元器件接口的有效利用，也即中规模通用集成电路的应用。这两种设计方式我还需要用更多的练习来熟悉。

**（2）你是如何解决的？**

耐心分析功能及状态，碰见不确定的地方向同学请教。

**（3）意见和建议**

增加课时，同时缩小每次设计难度递增程度，从而更加打牢基础。